

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

08-255878

Oct. 1, 1996

L6: 1 of 2

FLOATING GATE TRANSISTOR AND FABRICATION THEREOF

INVENTOR: YOSHIHIRO SUGITA, et al. (1)

ASSIGNEE: FUJITSU LTD

APPL NO: 07-56960

DATE FILED: Mar. 16, 1995

PATENT ABSTRACTS OF JAPAN

ABS GRP NO:

ABS VOL NO:

ABS PUB DATE:

INT-CL: H01L 27/10; H01L 21/8247; H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To obtain a floating gate transistor, and a fabrication method thereof in which a refresh time appropriate for a DRAM, comprising a floating gate transistor can be ensured.

CONSTITUTION: A gate insulation film comprising a dielectric film 4 and an SiC film 5 is provided on a silicon substrate 1 and a **floating gate** 6 is provided on the gate insulation film. The dielectric film 4 is provided at least one of the interface between the SiC film 5 and the silicon substrate 1 and the interface between the SiC film 5 and the **floating gate** 6. Thickness of the dielectric film 4 is set such that the tunnel conduction prevails.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255878

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	3 1 1		H 0 1 L 27/10	3 1 1
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平7-56960  
 (22) 出願日 平成7年(1995)3月16日

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (72) 発明者 杉田 義博  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内  
 (72) 発明者 板倉 徹  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内  
 (74) 代理人 弁理士 柏谷 昭司 (外1名)

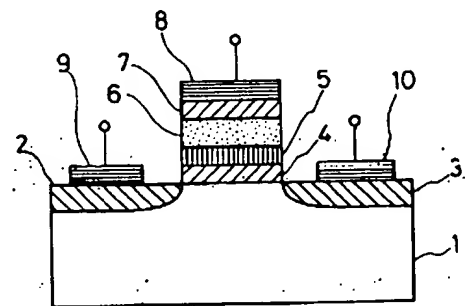
(54) 【発明の名称】 フローティングゲートトランジスタ及びその製造方法

(57) 【要約】

【目的】 フローティングゲートトランジスタ及びその製造方法に関し、フローティングゲートトランジスタからなるDRAMとしての適正なリフレッシュ時間を確保する。

【構成】 シリコン基板1上に誘電体膜4及びSiC膜5からなるゲート絶縁膜を設け、また、ゲート絶縁膜上にフローティングゲート6を設けると共に、SiC膜5とシリコン基板1との界面及びSiC膜5とフローティングゲート6との界面の少なくとも一方に誘電体膜4を設け、且つ、誘電体膜4の厚さをトンネル伝導が支配的になる厚さにする。

本発明のフローティングゲートトランジスタの断面図



- |                       |                       |
|-----------------------|-----------------------|
| 1: p型シリコン半導体基板        | 6: ポリシリコンフローティングゲート   |
| 2: ソース                | 7: SiO <sub>2</sub> 膜 |
| 3: ドレイン               | 8: コントロールゲート          |
| 4: SiO <sub>2</sub> 膜 | 9: ソース電極              |
| 5: p-SiC膜             | 10: ドレイン電極            |

1

## 【特許請求の範囲】

【請求項1】 シリコン基板上に誘電体膜及びSiC膜からなるゲート絶縁膜を設け、且つ、前記ゲート絶縁膜上にフローティングゲートを設けたフローティングゲートトランジスタにおいて、前記誘電体膜を前記SiC膜と前記シリコン基板との界面及び前記SiC膜と前記フローティングゲートとの界面の少なくとも一方に設けると共に、前記誘電体膜の厚さをトンネル伝導が支配的になる厚さにしたことを特徴とするフローティングゲートトランジスタ。

【請求項2】 上記誘電体膜として、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、及び、 $\text{SiO}_x\text{N}_y$ の内のいずれか一つを用いたことを特徴とする請求項1記載のフローティングゲートトランジスタ。

【請求項3】 上記誘電体膜の厚さを3nm以下にしたことを特徴とする請求項1または2記載のフローティングゲートトランジスタ。

【請求項4】 シリコン基板上にSiC膜を堆積させたのち、酸性雰囲気中で熱酸化することによって、前記シリコン基板と前記SiC膜との界面にトンネル伝導が支配的になる厚さの $\text{SiO}_2$ 膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

【請求項5】 シリコン基板上にSiC膜を堆積させたのち、前記SiC膜に酸素イオンを注入し、次いで、熱処理を行なうことによって、前記シリコン基板と前記SiC膜との界面にトンネル伝導が支配的になる厚さの $\text{SiO}_2$ 膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

【請求項6】 シリコン基板上にトンネル伝導が支配的になる厚さの誘電体膜を形成したのち、前記誘電体膜上にSiC膜を堆積させることを特徴とするフローティングゲートトランジスタの製造方法。

【請求項7】 シリコン基板上にSiC膜を堆積させたのち、前記SiC膜の表面に誘電体膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフローティングゲートトランジスタ及びその製造方法に関するもので、特に、DRAM（ダイナミック・ランダム・アクセス・メモリ）として用いるフローティングゲートトランジスタ及びその製造方法に関するものである。

【0002】近年、半導体記憶装置の集積度の向上に伴って、揮発性メモリであるDRAMにおいては、スタック型キャパシタ、フィン型キャパシタ、或いは、トレンチ型キャパシタ等が採用されているが、その製造工程が複雑であり、且つ、キャパシタ容量の確保が難しくなっている。

【0003】また、キャパシタ容量を大きくするために

2

キャパシタを構成する誘電体膜として高誘電率の絶縁膜を用いることも提案されているが、この高誘電率の絶縁膜を用いたキャパシタは微細化、したがって、薄層化に伴ってリーク電流が増大するという問題があり、4Gb以下以降のDRAMのめどは立っていない。

【0004】一方、キャパシタ容量を必要としないEEPROM（Electrically Erasable Programmable Read-Only Memory）やFLASHメモリ等の不揮発性メモリは書換え速度、即ち、電荷注入速度或いは電荷消去速度が遅くてDRAMとして用いることができないものであった。

【0005】即ち、通常の不揮発性フローティングゲートトランジスタにおいては、書込み時の印加電圧の低減及び書込み時間の短縮化のために、ゲート絶縁膜として $\text{SiO}_2$ 膜に比べて禁制帯幅の小さなSiN<sub>x</sub>膜を用いているが、それでも書込み時の印加電圧が高く、且つ、書込み時間が長いのでDRAMとして用いることができないものである。

【0006】また、さらなる書込み時の印加電圧の低減及び書込み時間の短縮化のためには、ゲート絶縁膜として $\beta\text{-SiC}$ （ $E_g = 2.2\text{eV}$ ）のように禁制帯幅の小さな物質を用いたり、或いは、ゲート絶縁膜の厚さを3nm以下にすれば良いが、不揮発性メモリは注入電荷の永久保存を目指すものであるため、その様な物質及び厚さでは拡散電流やトンネル電流が無視できなくなり、不揮発性メモリとして実用に供しえないという不都合が生ずる。

【0007】そこで、本発明者はこのような不都合を利用してフローティングゲートトランジスタをDRAMとして用いることを提案（特願平6-121339号）している。図3を参照して、この提案を説明する。

【0008】図3参照このフローティングゲートトランジスタは、p型シリコン半導体基板1に設けたソース・ドレイン2、3の間に、厚さ10nmの $\beta\text{-SiC}$ 膜5をゲート絶縁膜とし、その上に厚さ200nmのポリシリコンフローティングゲート6、層間絶縁膜としての厚さ5nmの $\text{SiO}_2$ 膜7、及び、コントロールゲート8を設けたものである。なお、9及び10は、夫々ソース電極及びドレイン電極である。

【0009】この場合、 $\beta\text{-SiC}$ （電子親和力：3.47eV）のシリコンに対する電子親和力の差に起因する電子障壁の高さは、0.55eVであるので、フローティングゲートトランジスタをDRAMとして使用する場合の電子障壁の高さの条件である0.5～1.2eVの条件を満たしている。

【0010】なお、電子障壁の高さが0.5eV以下の場合には、注入された電荷（電子）は拡散電流として極めて短時間で逃げてしまうので、実用的なリフレッシュ時間を設定することができず、また、電子障壁の高さが

10

20

30

40

50

1. 2 eV以上の場合には書き込み時間が実用に供しえないほど長くなってしまふ。

【0011】また、この $\beta$ -SiCはシリコン基板に直接エピタキシャル成長させることも可能であるため、現行のVLSI製造プロセスとの整合性が良いという利点もある。

【0012】なお、上記の本発明者による提案と類似した構造としてSiO<sub>2</sub>膜とSiC膜よりなる二重絶縁層を設けた不揮発性メモリ(特開昭56-56677号公報参照)が知られている。

【0013】しかし、この不揮発性メモリは、SiC/SiO<sub>2</sub>界面のトラップ準位、或いは、SiC自体で電荷を保持するものであり、また、この場合のSiO<sub>2</sub>膜はトンネル伝導が支配的にならない厚さであり、SiO<sub>2</sub>膜の高絶縁性を利用して注入電荷の保持を行なうものである、上記提案とはその本質を異にする。

【0014】

【発明が解決しようとする課題】しかし、 $\beta$ -SiCはフローティングゲートトランジスタをDRAMとして使用する場合の電子障壁の高さの条件である0.5~1.2 eVの条件を満たしているものの、電子障壁の高さが0.55 eVと下限に近いと伴って電荷保持時間が短くなり適正なリフレッシュ時間を確保することができないという問題がある。

【0015】適正なリフレッシュ時間を得るためには、0.85 eV程度の電子障壁の高さが必要となるものの、現行のVLSI製造プロセスとの整合性が良く、且つ、シリコンとの電子親和力の差が0.85 eV程度の適当な材料は見当たらないため、ゲート絶縁膜として $\beta$ -SiC以外の材料を用いることは困難であった。

【0016】したがって、本発明は、現行のVLSI製造プロセスとの整合性が良い $\beta$ -SiCを用いてフローティングゲートトランジスタからなるDRAMの適正なリフレッシュ時間を確保することを目的とする。

【0017】

【課題を解決するための手段】本発明は、シリコン基板(図1の1)上に誘電体膜(図1の4)及びSiC膜(図1の5)からなるゲート絶縁膜を設け、且つ、前記ゲート絶縁膜上にフローティングゲート(図1の6)を設けたフローティングゲートトランジスタにおいて、前記誘電体膜(図1の4)を前記SiC膜(図1の5)と前記シリコン基板(図1の1)との界面及び前記SiC膜(図1の5)と前記フローティングゲート(図1の6)との界面の少なくとも一方に設けると共に、前記誘電体膜(図1の4)の厚さをトンネル伝導が支配的になる厚さにしたことを特徴とする。

【0018】また、本発明は、誘電体膜(図1の4)として、SiO<sub>2</sub>、SiN<sub>x</sub>、及び、SiO<sub>x</sub>N<sub>y</sub>の内のいずれか一つを用いたことを特徴とする。また、本発明は、誘電体膜(図1の4)の厚さを3 nm以下にしたこ

とを特徴とする。

【0019】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、酸化性雰囲気中で熱酸化することによって、シリコン基板(図1の1)とSiC膜(図1の5)との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜(図1の4)を形成することを特徴とする。

10 【0020】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、酸素イオンを注入し、熱処理することによってシリコン基板(図1の1)とSiC膜(図1の5)との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜(図1の4)を形成することを特徴とする。

【0021】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にトンネル伝導が支配的になる厚さの誘電体膜(図1の4)を形成したのち、その上にSiC膜(図1の5)を堆積させることを特徴とする。

20 【0022】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、その表面に誘電体膜を形成することを特徴とする。

【0023】

【作用】シリコン基板上にシリコンに対する電子障壁がSiCよりも高く、且つ、トンネル伝導が支配的になる厚さの誘電体膜及びSiC膜を順次積層させてゲート絶縁膜とすることにより、実効的な電子障壁の高さを高くすることができ、それによって電子の蓄積時間、従って、DRAMとしてのリフレッシュ時間を実用的な値にすることができる。

30 【0024】また、誘電体膜として、SiO<sub>2</sub>、SiN<sub>x</sub>、及び、SiO<sub>x</sub>N<sub>y</sub>の内のいずれか一つを用いたことにより、シリコンプロセスと整合性が良く、且つ、基板との界面特性を良好にすることができるので、電子の蓄積時間を適正な値にすることができる。

40 【0025】また、誘電体膜の厚さを3 nm以下にすると、電子は量子力学的にトンネルしてしまうので誘電体膜中の伝導はトンネル電流が支配することになり、電子は誘電体膜の電子障壁の高さを実効的に感じないので絶縁体としての性質が発現せずにDRAM動作が可能になる。なお、誘電体膜の厚さが電子のトンネルが可能な厚さを越えると、通常のフローティングゲート型の不揮発性メモリとなる。

50 【0026】また、シリコン基板上にSiC膜を堆積させたのち、酸化性雰囲気中で熱酸化することによって、雰囲気中の酸素がSiC膜を透過し、シリコン基板とSiC膜との界面に達してトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜を徐々に形成することができ、界面特性

が優れたものとなる。

【0027】また、シリコン基板上にSiC膜を堆積させたのち、酸素イオンを注入し、熱処理することによってシリコン基板とSiC膜との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜を制御性良く形成することができる。

【0028】また、本発明の基本原理は、SiC膜とトンネル伝導が支配的になる厚さの誘電体膜との組合せにあり、その形成順序は問わないものである。シリコン基板上に誘電体膜を形成したのちSiC膜を堆積させても良いし、或いは、SiC膜を堆積させたのち誘電体膜を形成しても良く、製造工程の自由度を増すことができる。

【0029】

【実施例】本発明の実施例のフローティングゲートトランジスタを図1を参照して説明する。なお、図1はフローティングゲートトランジスタの要部断面図を示すものであり、実際には、このようなフローティングゲートトランジスタがマトリックス状に多数配置されているものである。

【0030】図1参照

まず、不純物濃度が $5 \times 10^{16} \text{ cm}^{-3}$ のp型シリコン半導体基板1の表面に熱酸化によって厚さ1nmのSiO<sub>2</sub>膜4を形成したのち、気相化学堆積法(CVD法)によって厚さ9nmの $\beta$ -SiC膜5、厚さ200nmのポリシリコンフローティングゲート6、層間絶縁膜としての厚さ10nmのSiO<sub>2</sub>膜7、及び、コントロールゲート8を堆積させる。この場合、シリコン基板との界面は、プロセス技術が向上しているSi/SiO<sub>2</sub>界面を用いているので、トラップ準位の少ない良好な界面が得られる。

【0031】なお、この場合の $\beta$ -SiC膜5の成長条件は、基板温度が800~1000℃、好適には900℃であり、原料ガスとしてアセチレン(C<sub>2</sub>H<sub>2</sub>)及びジシラン(Si<sub>2</sub>H<sub>6</sub>)の混合ガスを用い、また、キャリアガスとしてH<sub>2</sub>、或いはHeを用いて全体の圧力を200Paとした条件であり、多結晶状態の $\beta$ -SiCが得られる。

【0032】次いで、コントロールゲート8乃至SiO<sub>2</sub>膜4をゲート長が0.8 $\mu\text{m}$ 、ゲート幅が1 $\mu\text{m}$ になるようにパターンニングしたのち、Asをイオン注入してn<sup>+</sup>型ソース・ドレイン2、3をゲートに対して自己整合的に形成し、最後に、PSG膜等の保護膜及び保護膜に設けたコンタクトホールを介してソース・ドレイン電極9、10を形成してフローティングゲートトランジスタが完成する。

【0033】このように、ゲート絶縁膜は、絶縁信頼性を確保する $\beta$ -SiC膜5と絶縁体としての性質が発現しない程度の厚さのSiO<sub>2</sub>膜4を組み合わせているので、電荷蓄積寿命、即ち、記憶の保持時間をSiO<sub>2</sub>膜

4の厚さで制御することができ、実施例の場合には1s(秒)程度とすることができるので、リフレッシュ時間を実用的な値にすることができる。

【0034】また、SiO<sub>2</sub>膜4は、トンネル電流によってキャリアの出入りが自由にできるので、不揮発性メモリと異なり、アバランシェ注入を用いることなく、ファウラー・ノルトハイム(Fowler-Nordheim)型トンネル注入を用いることによってポリシリコンフローティングゲートに電荷を注入することができ、したがって、書込み・読出・消去時間は10ns程度になり、DRAMとして用いることができる。

【0035】次に、図2を参照して、このフローティングゲートトランジスタの情報の書込み・読出・消去方法について説明する。なお、この場合の、コントロールゲート・フローティングゲート間容量は16fF(femto Farad)、フローティングゲート・シリコン基板間容量は7fF、読出時のビット線容量は2pF、及び、書込み時のフローティングゲート電位は-0.5Vである。

20 【0036】図2参照

まず、情報を書き込む場合を説明すると、例えば、図のセル22に情報を書き込む場合、ワード線2を3Vにして、その他のワード線を1.5Vにする。そして、ビット線2及びソース線2を0Vにして、他のビット線及びソース線を1.5Vにすると、シリコン基板・コントロールゲート間電圧はセル22で3V、その他のセルは1.5もしくは0Vとなり、3Vの電位のあるセル22にのみファウラー・ノルトハイム型トンネル注入によって情報が書き込まれる。

30 【0037】次に、セル22の情報を読み出す場合を説明すると、ビット線を全て0.5Vとし、ソース線を全て0Vとし、ワード線2を0.5V、その他のワード線を0Vとする。

【0038】そうすると、フローティングゲート電位が0V、即ち、情報が書き込まれていない場合のビット線電位は低下し、また、フローティングゲート電位が-0.5V、即ち、情報が書き込まれている場合のビット線電位は変動しないので、その差によって、セル22の情報の書込みの有無を検出する。

40 【0039】次に、セル22に書き込まれた情報を消去する場合を説明すると、ビット線2及びソース線2を3Vとし、その他のビット線及びソース線を全て1.5Vとし、ワード線2を0V、その他のワード線を1.5Vとする。

【0040】この場合、ソース・ドレインとコントロールゲート間の電位差は、セル22のみが3Vで、その他のセルでは最大で1.5Vであるので、一番大きな3Vの電位差の印加されたセル22に蓄積されていた電子がファウラー・ノルトハイム型トンネル注入によってソース・ドレイン側に抜けてフローティングゲート電位が0

Vとなり、セル22の情報の消去が完了するが、電位差の小さな他のセルにおいてはフローティングゲート電位は変動しない。

【0041】なお、上記実施例においては、ゲート絶縁膜の一部を構成するSiCとして多結晶の $\beta$ -SiCを用いているが、他の結晶系のSiC、例えば、 $\alpha$ -SiCでも良く、また、結晶状態も多結晶である必要は必ずしもなく、非晶質、微結晶、或いは、場合によっては、単結晶であっても良い。

【0042】また、本発明は実施例に記載された数値に限られるものではなく、例えば、SiO<sub>2</sub>膜4の厚さは0.5~3.0nmであれば良く、 $\beta$ -SiC膜5の厚さは2~100nmであれば良く、ポリシリコンフローティングゲート6の厚さは50~400nmであれば良く、また、SiO<sub>2</sub>膜7の厚さは4.0~15nmであれば良い。

【0043】また、シリコン基板1及びソース・ドレイン2、3の不純物濃度は通常のMISFETの不純物濃度として用いられている範囲であれば良く、また、チャネル長及びチャネル幅も夫々0.08~1.0 $\mu$ m及び0.5~20 $\mu$ mの範囲であれば良い。

【0044】次に、本発明の実施例の変形例を説明する。上記実施例においては、ゲート絶縁膜としてもSiO<sub>2</sub>膜4を $\beta$ -SiC膜5の堆積前に熱酸化法によって形成しているが、CVD法によって堆積させても良いものであり、この場合には、熱酸化法に比べてSiO<sub>2</sub>膜4の絶縁耐圧が若干低下するが、本発明のフローティングゲートトランジスタは高電圧駆動を伴わないので問題にはならない。

【0045】また、このゲート絶縁膜としてのSiO<sub>2</sub>膜4は、SiN<sub>x</sub>膜やSiO<sub>x</sub>N<sub>y</sub>膜等の他の誘電体膜に置き換えても良いものであり、この場合には、SiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜の禁制帯幅はSiO<sub>2</sub>膜の禁制帯幅よりも小さく電荷のトンネル確率は大きくなるので、電荷蓄積時間はSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜の厚さ及び禁制帯幅で制御することができる。

【0046】この場合にも、シリコン基板1との界面は、プロセス技術が向上しているSi/SiN<sub>x</sub>界面、或いは、Si/SiO<sub>x</sub>N<sub>y</sub>界面を用いているので、トラップ準位の少ない良好な界面が得られる。

【0047】なお、この場合のSiN<sub>x</sub>膜は化学的量的比のSi<sub>3</sub>N<sub>4</sub>と同じ或いは近い組成、即ち、N/Si比xが1.2~1.4の範囲であれば良く、この場合、比xが小さすぎると膜質が不安定になり、逆に、高すぎると引張ストレスが大きくなりすぎるためである。また、SiO<sub>x</sub>N<sub>y</sub>膜における、Oに対するNの比率y/xは0.5以下である。

【0048】また、このようなSiN<sub>x</sub>膜やSiO<sub>x</sub>N<sub>y</sub>膜を用いた場合には、窒素含有に起因するホットキャリア耐性向上、絶縁信頼性の向上や、不純物拡散に対す

るブロッキング効果が得られ、さらに、組成比を適宜選択することによって膜のストレスを制御することができる利点がある。

【0049】さらに、ゲート絶縁膜をSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜とする場合には、シリコン基板1をNH<sub>3</sub>雰囲気等の窒化雰囲気中で直接窒化してSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜を形成しても良い。

【0050】また、本発明の基本的原理は、絶縁信頼性を確保する $\beta$ -SiC膜5と絶縁体としての性質が発現しない程度の厚さの誘電体膜(図1の4)との組合せにあるので、誘電体膜(図1の4)はシリコン基板1と $\beta$ -SiC膜5との間にある必要はなく、シリコン基板1上に $\beta$ -SiC膜5を直接堆積させて、その上に、SiO<sub>2</sub>膜、SiN<sub>x</sub>膜、或いは、SiO<sub>x</sub>N<sub>y</sub>膜をCVD法によって堆積させても良い。

【0051】さらに、SiO<sub>2</sub>等の誘電体膜(図1の4)は $\beta$ -SiC膜5の上下両面に設けても良いものであり、この場合には、薄層化に伴って一方の側に設けた誘電体膜(図1の4)の一部にピンホール等の欠陥が発生しても、他方の側に設けた誘電体膜の対応箇所にピンホール等の欠陥が発生する可能性は非常に少ないので、全体としては、良品のゲート絶縁膜を得ることができ、製造歩留りが向上する。

【0052】また、誘電体膜の形成方法としては、シリコン基板1上に $\beta$ -SiC膜5を直接堆積させたのち、ドライO<sub>2</sub>雰囲気、ウェットO<sub>2</sub>雰囲気、水蒸気雰囲気等の酸化性雰囲気中で800℃以上の温度で熱処理して、 $\beta$ -SiC膜5の表面を酸化してSiOC膜を形成しても良く、この場合には、 $\beta$ -SiC膜5の表面の酸化と同時にシリコン基板1と $\beta$ -SiC膜5の界面にもO<sub>2</sub>が進入してシリコン基板1の表面の酸化も徐々に進行するので、界面にトラップ準位等が生成されることが少なく、界面特性の改善につながる。

【0053】なお、酸化性雰囲気は、記載したドライO<sub>2</sub>雰囲気、ウェットO<sub>2</sub>雰囲気、水蒸気雰囲気の順序で酸化速度が遅く、膜厚の制御性が良好になるものであり、さらに、これらの酸化性雰囲気の代わりにO<sub>3</sub>雰囲気を用いると低温酸化が可能になる。

【0054】

【発明の効果】本発明によれば、フローティングゲートトランジスタのゲート絶縁膜として、トンネル伝導が支配的になる誘電体膜と絶縁信頼性を確保する $\beta$ -SiC膜とを組み合わせて用いたので、書込・読出時間が10ns程度及び記憶保持時間が1s(1秒)程度で適正なりフレッシュ時間を有するDRAMをキャパシタレスで構成することができ、半導体記憶装置の集積度の向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の実施例のフローティングゲートトランジスタの断面図である。

9

10

【図2】本発明の実施例のキャパシタレスDRAMの回路構成の説明図である。

【図3】従来のフローティングゲートトランジスタの断面図である。

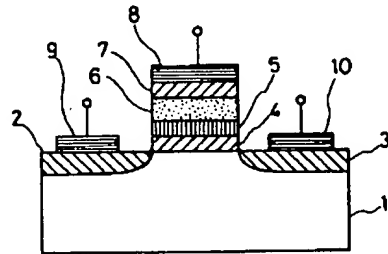
【符号の説明】

- 1 p型シリコン半導体基板
- 2 ソース
- 3 ドレイン

- 4  $\text{SiO}_2$  膜
- 5  $\beta\text{-SiC}$  膜
- 6 ポリシリコンフローティングゲート
- 7  $\text{SiO}_2$  膜
- 8 コントロールゲート
- 9 ソース電極
- 10 ドレイン電極

【図1】

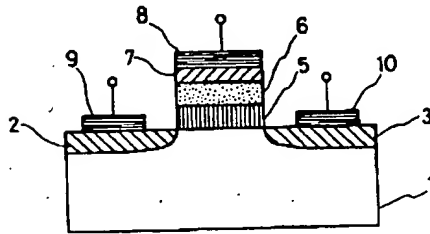
本発明のフローティングゲートトランジスタの断面図



- 1 : p型シリコン半導体基板
- 2 : ソース
- 3 : ドレイン
- 4 :  $\text{SiO}_2$  膜
- 5 :  $\beta\text{-SiC}$  膜
- 6 : ポリシリコンフローティングゲート
- 7 :  $\text{SiO}_2$  膜
- 8 : コントロールゲート
- 9 : ソース電極
- 10 : ドレイン電極

【図3】

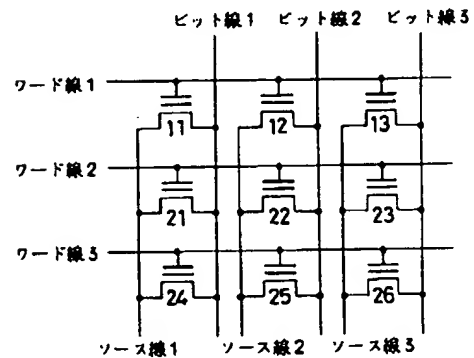
従来のフローティングゲートトランジスタの断面図



- 1 : p型シリコン半導体基板
- 2 : ソース
- 3 : ドレイン
- 5 :  $\beta\text{-SiC}$  膜
- 6 : ポリシリコンフローティングゲート
- 7 :  $\text{SiO}_2$  膜
- 8 : コントロールゲート
- 9 : ソース電極
- 10 : ドレイン電極

【図2】

本発明の実施例のキャパシタレスDRAMの回路構成の説明図





08/903486

1

Code: 2357-69573

Ref. No.: SLWK #303.354 US1

JAPANESE PATENT OFFICE  
PATENT JOURNAL  
KOKAI PATENT APPLICATION NO. HEI 8[1996]-255878-

Technical Disclosure Section

Int. Cl.<sup>5</sup>:

H 01 L 27/10  
21/8247  
29/788  
29/792  
29/78

Application No.:

*no Si<sub>1-x</sub>C<sub>x</sub>  
where  $x < 0.5$*

Hei 7[1995]-56960

Application Date:

March 16, 1995

Publication Date:

October 1, 1996

No. of Claims:

7 (Total of 6 pages; OL)

Examination Request:

Not requested

FLOATING GATE TRANSISTOR AND FABRICATION METHOD

Inventors:

Yoshihiro Sugita  
Fujitsu Ltd.  
1015 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi, Kanagawa-ken

Toru Itakura  
Fujitsu Ltd.  
1015 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi, Kanagawa-ken

Applicant:

000005223  
Fujitsu Ltd.  
4-1-1 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi, Kanagawa-ken

Agents:

Akishi Kashiwaya, patent attorney,  
and 1 other

[There are no amendments to this patent.]

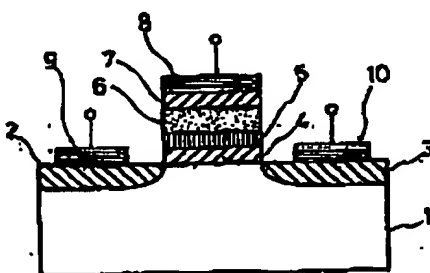
### Abstract

#### Purpose

To provide a floating gate transistor and its fabrication method wherein the refresh time appropriate for a DRAM that includes the floating gate transistor can be ensured.

#### Constitution

A gate insulating film consisting of a dielectric film 4 and an SiC film 5 is deposited on a silicon substrate 1, and a floating gate 6 is formed on the gate insulating film. The dielectric film 4 is deposited at the interface between the SiC film 5 and the silicon substrate 1 and/or the interface between the SiC film 5 and the floating gate 6. The thickness of the dielectric film 4 is set to a thickness so that the tunnel conduction prevails.



A cross section showing the floating gate transistor of the present invention

- 1 p-type silicon semiconductor substrate
- 2 Source
- 3 Drain
- 4 SiO<sub>2</sub> film

- 5  $\beta$ -SiC film
- 6 Polysilicon floating gate
- 7 SiO<sub>2</sub> film
- 8 Control gate
- 9 Source electrode
- 10 Drain electrode

### Claims

1. A floating gate transistor characterized by the fact that a gate insulating film consisting of a dielectric film and an SiC film is deposited on a silicon substrate and the floating gate is formed on the above-mentioned gate insulating film, wherein the above-mentioned dielectric film is deposited at the interface between the above-mentioned SiC film and/or the above-mentioned silicon substrate and the interface between the above-mentioned SiC film and the above-mentioned floating gate; and by the fact that the thickness of the above-mentioned dielectric film is such that tunnel conduction prevails.

2. The floating gate transistor of Claim 1 characterized by the fact that SiO<sub>2</sub>, SiN<sub>x</sub>, or SiO<sub>x</sub>N<sub>y</sub> is used as the above-mentioned dielectric film.

3. The floating gate transistor of Claim 1 or 2 characterized by the fact that the thickness of the above-mentioned dielectric film is 3 nm or less.

4. A floating gate transistor fabrication method characterized by the fact that an SiC film is deposited on a silicon substrate and an SiO<sub>2</sub> film is formed by thermal oxidation in an oxidizing atmosphere with a thickness that allows tunnel conduction to prevail at the interface between the above-mentioned silicon substrate and the above-mentioned SiC film.

5. A floating gate transistor fabrication method, characterized by the fact that an SiC film is deposited on a silicon substrate, oxygen ions are implanted in the above-mentioned SiC film, and an SiO<sub>2</sub> film is formed to an appropriate thickness by carrying out a heat treatment so that tunnel conduction prevails at the interface between the above-mentioned silicon substrate and the above-mentioned SiC film.

6. A floating gate transistor fabrication method, characterized by the fact that a dielectric film is formed on a silicon substrate with a thickness that allows tunnel conduction to prevail, followed by deposition of an SiC film on the above-mentioned dielectric film.

7. A floating gate transistor fabrication method, characterized by the fact that an SiC film is deposited on a silicon substrate and a dielectric film is formed on the surface of the above-mentioned SiC film.

### Detailed explanation of the invention

[0001]

#### Industrial application field

The present invention pertains to a floating gate transistor and its fabrication method; in particular, it pertains to a floating gate transistor used in a DRAM (dynamic random-access memory) and its fabrication method.

[0002]

Recently, along with the improvement in the integration level of semiconductor storage devices, stack type capacitors, film type capacitors, and trench type capacitors have been used in DRAMs or volatile memory elements, whose manufacturing processes are complex. Moreover, it has been difficult to increase capacitance.

[0003]

In order to increase the capacitor capacitance, it has been proposed that an insulating film with high permittivity be used as the dielectric film for the capacitor; however, along with the miniaturization, that is, the thinning of layers of the capacitor using the insulating film with high permittivity, the leakage current is increased. The goal of a 4-Gb DRAM has not been realized.

[0004]

On the other hand, a nonvolatile memory such as EEPROM (Electrically Erasable Programmable Read-Only Memory) and FLASH memory, which does not require capacitors, has a slow charge injection speed or charge erasure speed and cannot be used as a DRAM.

[0005]

In other words, in an ordinary nonvolatile floating gate transistor, a  $\text{SiN}_x$  film with a forbidden band smaller than that of an  $\text{SiO}_2$  film is used as a gate insulating film to reduce the applied voltage and the write time at the time of writing. However, since the applied voltage at

the time of writing is still high and the write time is long, the transistor cannot be used as a DRAM.

[0006]

Also, in order to reduce the applied voltage and the write time at the time of writing, a material with a small forbidden band such as  $\beta$ -SiC ( $E_g = 2.2$  eV) may be used as a gate insulating film, or the thickness of the gate insulating film may be set to 3 nm or less. However, since the purpose of the nonvolatile memory is to permanently preserve injected charge, the diffusion current and the tunnel current are not negligible in such a material with such a thickness, so that it cannot be used as nonvolatile memory suitable for practical use.

[0007]

Accordingly, the present inventors have proposed that a floating gate transistor be used in a DRAM to solve the aforementioned problem (Japanese Patent Application No. Hei 6[1994]-121339). Referring to Figure 3, the proposal is explained.

[0008]

In the floating gate transistor shown in Figure 3, a  $\beta$ -SiC film 5 with a thickness of 10 nm is used as the gate insulating film between the source 2 and drain 3 formed on a p-type silicon semiconductor substrate 1, and polysilicon floating gate 6 with a thickness of 200 nm, SiO<sub>2</sub> film 7 with a thickness of 5 nm as an interlayer insulating film, and control gate 8 are formed on it. Also, 9 and 10 are respectively the source electrode and the drain electrode.

[0009]

In this case, since the height of an electron barrier due to the difference in electron affinity to silicon of the  $\beta$ -SiC (electron affinity: 3.47 eV) is 0.55 eV, it meets the condition of 0.5-1.2 eV which is the height of the electron barrier in the case where the floating gate transistor is used as a DRAM.

[0010]

Also, if the height of the energy barrier is 0.5 eV or less, since injected charge (electrons) escape as diffusion current in a very short time, a practical refresh time cannot be set. Also, if the height of the energy barrier is 1.2 eV or more, the write time is lengthened to an impractical extent.

[0011]

Also, since  $\beta$ -SiC can be epitaxially deposited directly on the silicon substrate, it is highly compatible with current VLSI manufacturing techniques.

[0012]

Also, a structure similar to the above-mentioned proposal by these inventors, a nonvolatile memory (see Japanese Kokai Patent Application No. Sho 56[1981]-56677) in which a double insulating film consisting of an SiO<sub>2</sub> film and an SiC film is used, is known.

[0013]

However, the nonvolatile memory holds a trap for the charge at the SiC/SiO<sub>2</sub> interface or at the SiC itself. In this case, the SiO<sub>2</sub> film is set to a thickness so that the tunnel conduction does not prevail, and it holds the injected charge utilizing a high insulation of the SiO<sub>2</sub> film. Thus, the essence is different from that of the above-mentioned proposal.

[0014]

Problem to be solved by the invention

However, although  $\beta$ -SiC meets the requirement of 0.5-1.2 eV, which is the required height of the electron barrier when a floating gate transistor is used as a DRAM, since the height of the electron barrier is 0.55 eV, which is close to the lower limit, the charge retention time is reduced, so that an appropriate refresh time cannot be realized.

[0015]

In order to realize an appropriate refresh time, although an electron barrier height of about 0.85 eV was required, since an appropriate material which had good compatibility with current VLSI manufacturing techniques and which had an electron affinity difference of about 0.85 eV from silicon could not be found, it was difficult to use other materials besides  $\beta$ -SiC as the gate insulating film.

[0016]

Therefore, the purpose of the present invention is to secure an appropriate refresh time of a DRAM consisting of a floating gate transistor using a  $\beta$ -SiC with a good compatibility with current VLSI manufacturing processes.

[0017]

Means to solve the problem

The present invention is characterized by the fact that in a floating gate transistor in which a gate insulating film consisting of a dielectric film (4 in Figure 1) and an SiC film (5 in Figure 1) is formed on a silicon substrate (1 in Figure 1) and in which the floating gate (6 in Figure 1) is formed on the above-mentioned gate insulating film, the above-mentioned dielectric film (4 in Figure 1) is formed at the interface between the above-mentioned SiC film (5 in Figure 1) and the above-mentioned silicon substrate (1 in Figure 1) and/or the interface between the above-mentioned SiC film (5 in Figure 1) and the above-mentioned floating gate (6 in Figure 1); and by the fact that the thickness of the above-mentioned dielectric film (4 in Figure 1) is such that tunnel conduction prevails.

[0018]

Also, the present invention is characterized by the fact that  $\text{SiO}_2$ ,  $\text{SiN}_x$ , or  $\text{SiO}_x\text{N}_y$  is used as the dielectric film (4 in Figure 1). Also, the present invention is characterized by the fact that the thickness of the dielectric film (4 in Figure 1) is set to 3 nm or less.

[0019]

Also, the present invention is characterized by a floating gate transistor fabrication method wherein an SiC film (5 in Figure 1) is deposited on a silicon substrate (1 in Figure 1) and an SiO<sub>2</sub> film (4 in Figure 1) is formed by a thermal oxidation in an oxidizing atmosphere to such a thickness that tunnel conduction prevails at the interface between the silicon substrate (1 in Figure 1) and the SiC film (5 in Figure 1).

[0020]

Also, the present invention is characterized by a floating gate transistor fabrication method wherein an SiC film (5 in Figure 1) is deposited on a silicon substrate (1 in Figure 1), oxygen ions are implanted in the above-mentioned film, and an SiO<sub>2</sub> film (4 in Figure 1) is formed to an appropriate thickness by carrying out heat treatment so that tunnel conduction prevails at the interface between the silicon substrate (1 in Figure 1) and the SiC film (5 in Figure 1).

[0021]

Also, the present invention is characterized by a floating gate transistor fabrication method, wherein a dielectric film (4 in Figure 1) is formed on a silicon substrate (1 in Figure 1) with a thickness that allows tunnel conduction to prevail, followed by deposition of an SiC film (5 in Figure 1) on the dielectric film.

[0022]

Also, the present invention is characterized by a floating gate transistor fabrication method, wherein an SiC film (5 in Figure 1) is deposited on a silicon substrate (1 in Figure 1) and a dielectric film is formed on the surface.

[0023]

#### Function

The electron barrier to silicon of the silicon substrate is higher than that of SiC, and a dielectric film, with a thickness that is set so that tunnel conduction can prevail, and an SiC film

---



are sequentially laminated, so that a gate insulating film is formed. Thus, the height of the effective electron barrier can be raised, so that the electron storage time, that is, the refresh time for a DRAM, can be set to a practical value.

[0024]

Also, since  $\text{SiO}_2$ ,  $\text{SiN}_x$ , or  $\text{SiO}_x\text{N}_y$  is used as the dielectric film, compatibility with silicon processing techniques is good, and the interfacial characteristics with the substrate can be improved, so that the electron storage time can be set to an appropriate time.

[0025]

Also, if the thickness of the dielectric film is set to 3 nm or less, since electrons, due to their quantum-mechanical nature, can tunnel, the tunnel current controls the conduction in the dielectric film, so that the electrons essentially are unaffected by the height of the electron barrier of the dielectric film. Thus, the DRAM can be operated without using the properties of an insulating film. Also, if the thickness of the dielectric film exceeds the thickness at which tunneling by electrons is possible, the memory changes to an ordinary floating gate type nonvolatile memory.

[0026]

Also, after the SiC film is deposited on the silicon substrate, oxygen in the atmosphere passes through the SiC film by thermal oxidation in an oxidizing atmosphere and arrives at the interface between the silicon substrate and the SiC film, so that the  $\text{SiO}_2$  film, with a thickness at which the tunnel conduction prevails, can be slowly formed. Thus, the interface characteristics are excellent.

[0027]

Also, the SiC film is deposited on the silicon substrate, and oxygen ions are implanted therein. With heat treatment, the  $\text{SiO}_2$  film with a thickness, at which tunnel conduction prevails can be formed at the interface between the silicon substrate and the SiC film with good control of the process.

[0028]

Also, the basic principle of the present invention is the combination of the SiC film and the dielectric film with a thickness at which tunnel conduction prevails, and the formation sequence is irrelevant. Thus, the SiC film may be deposited after the dielectric film is formed on the silicon substrate, or the dielectric film may be formed after the SiC film is deposited. Thus, the flexibility of the fabrication processes can be increased.

[0029]

#### Application examples

The floating gate transistor of an application example of the present invention will be explained with reference to Figure 1. Figure 1 is a cross section showing the main parts of the floating gate transistor, and in actuality, many floating gate transistors can be arranged in matrix form.

[0030]

See Figure 1

First, an SiO<sub>2</sub> film 4 with a thickness of 1 nm is formed on the surface of a p-type silicon semiconductor substrate 1 with an impurity concentration of  $5 \times 10^{16} \text{ cm}^{-3}$  by thermal oxidation, and  $\beta$ -SiC film 5 with a thickness of 9 nm, polysilicon floating gate 6 with a thickness of 200 nm, SiO<sub>2</sub> film 7 with a thickness of 10 nm as an interlayer insulating film, and control gate 8 are deposited by the chemical vapor deposition method (CVD method). In this case, since an Si/SiO<sub>2</sub> interface, whose process technology is improved, is used as the interface with the silicon substrate, a good interface with a low trap level is obtained.

[0031]

Also, in this case, the growth condition of the  $\beta$ -SiC film 5 is a substrate temperature of 800-1000°C, preferably 900°C, and a mixed gas of acetylene (C<sub>2</sub>H<sub>2</sub>) and disilane (Si<sub>2</sub>H<sub>6</sub>) is used as the raw material gas. Also, the total pressure of the carrier gas is set to 200 Pa by using H<sub>2</sub> or He. Thus, polycrystalline  $\beta$ -SiC is obtained.

---

[0032]

Next, the control gate 8 for the SiO<sub>2</sub> film 4 is patterned so that the gate length is 0.8  $\mu\text{m}$  and that the gate width is 1  $\mu\text{m}$ . Then, n<sup>+</sup>-type source and drains 2 and 3 are formed in a self-aligned state to the gate by ion-implanting As. Finally, a protective film such as PSG film and source and drain electrodes 9 and 10 are formed via a contact hole installed in the protective film, so that the floating gate transistor is completed.

[0033]

Thus, since the gate insulating film is a combination of the  $\beta$ -SiC film 5, which ensures insulation reliability, and the SiO<sub>2</sub> film 4 has a thickness that does not allow insulation characteristics, the charge storage life, that is, the charge retention time, can be controlled by the thickness of the SiO<sub>2</sub> film 4. In the application example, since the time can be set to about 1 s, the refresh time can be set to a practical value.

[0034]

Also, the carriers can be freely input to and output from the SiO<sub>2</sub> film by the tunnel current, and charge can be injected into the polysilicon floating gate by using Fowler-Nordheim type tunnel injection without using avalanche injection, unlike the nonvolatile memory. Therefore, write, read, and erase times are about 10 ns, suitable for a DRAM.

[0035]

Next, with reference to Figure 2, the writing, reading, and erasing methods of the information of the floating gate transistor will be explained. Also, in this case, the capacitance between the control gate and the floating gate is 16 fF (femtoFarad), and the capacitance between the floating gate and the silicon substrate is 7 fF. The bit line capacitance during reading is 2 pF, and the floating gate potential during writing is - 0.5 V.

[0036]

See Figure 2

First, the case where information is written is explained. For example, when information is written into the cell 22 of the figure, the word line 2 is set to 3 V, and the other word lines are

set to 1.5 V. Then, the bit line 2 and the source line 2 are set to 0 V, and the other bit lines and source lines are set to 1.5 V. Thus, the voltage between the silicon substrate and the control gate is 3 V at the cell 22 and 1.5 or 0 V for the other cells. The information is written only to the cell 22 with a potential of 3 V by Fowler-Nordheim type tunnel injection.

[0037]

Next, the case where the information of the cell 22 is read out is explained. All the bit lines are set to 0.5 V, and all the source lines are set to 0 V. The word line 2 is set to 0.5 V, and the other word lines are set to 0 V.

[0038]

Thus, when the floating gate potential is 0 V, that is, information is not written, the potential of the bit lines is lowered. Also, when the floating gate potential is - 0.5 V, that is, information is written, the potential of the bit lines is not varied. Thus, the writing of information to the cell 22 can be detected by the difference.

[0039]

Next, the case when information written to the cell 22 is erased will be explained. The bit line 2 and the source line 2 are set to 3 V, and the other bit lines and source lines are all set to 1.5 V. The word line 2 is set to 0 V, and the other word lines are set to 1.5 V.

[0040]

In this case, since the potential difference between the source and drain and the control gate is 3 V in only the cell 22 and maximum of 1.5 V for the other cells, electrons stored in the cell 22, to which the largest potential difference of 3 V is applied, escape to the source and drain side by the Fowler-Nordheim type tunnel injection, so that the floating gate potential is 0 V. Thus, the erasure of information of the cell 22 is completed; however, the floating gate potential is not varied in the other cells with a small potential difference.

[0041]

Also, in the above-mentioned application example, polycrystalline  $\beta$ -SiC is used as the SiC component of the gate insulating film, and other forms of SiC, for example,  $\alpha$ -SiC, may also be used. Also, a polycrystalline crystal need not be used: amorphous, fine crystal, or possibly, monocrystal may also be adopted.

[0042]

Also, the present invention is not limited by the numerical values described in the application example; for example, the thickness of the SiO<sub>2</sub> film 4 may be 0.5-3.0 nm, the thickness of the  $\beta$ -SiC film 5 may be 2-100 nm, the thickness of the polysilicon floating gate 6 may be 50-400 nm, and the thickness of the SiO<sub>2</sub> film 7 may be 4.0-15 nm.

[0043]

Also, the impurity concentration of the silicon substrate 1 and the source 2 and drain 3 may be adopted in a range used as the impurity concentration of an ordinary MISFET, and the channel length and the channel width may be adopted in a range of 0.08-1.0  $\mu$ m and 0.5-20  $\mu$ m.

[0044]

Next, a modified application example of the present invention will be explained. In the above-mentioned application example, the SiO<sub>2</sub> film 4 is formed as a gate insulating film by the thermal oxidation method before the deposition of the  $\beta$ -SiC film 5; however, it may also be deposited by the CVD method. In this case, compared with the thermal oxidation method, the insulation withstand voltage of the SiO<sub>2</sub> film is slightly lowered; however, since the floating gate transistor of the present invention is not used with a high-voltage drive, there is no problem.

[0045]

Also, the SiO<sub>2</sub> film 4 as the gate insulating film may also be replaced by other dielectric films such as SiN<sub>x</sub> film and SiO<sub>x</sub>N<sub>y</sub> film; and in this case, since the forbidden band of the SiN<sub>x</sub> film or SiO<sub>x</sub>N<sub>y</sub> film is smaller than the forbidden band of the SiO<sub>2</sub> film and the probability of tunneling is increased, the charge storage time can be controlled by the thickness and the forbidden band of the SiN<sub>x</sub> film or SiO<sub>x</sub>N<sub>y</sub> film.

[0046]

In this case, as the interface with the silicon substrate 1, since an interface of Si/SiN<sub>x</sub> or an interface of Si/SiO<sub>x</sub>N<sub>y</sub>, whose process technology is improved, is used, a favorable interface with a low tunneling level is obtained.

[0047]

Also, in this case, the SiN<sub>x</sub> film may have the same or approximately the same stoichiometric ratio as Si<sub>3</sub>N<sub>4</sub>; that is, the x component of N/Si may be in the range of 1.2-1.4. In this case, if the x component is too small, the film quality is unstable; too high, the tensile stress is too high. Also, the ratio y/x of N to O in the SiO<sub>x</sub>N<sub>y</sub> film is 0.5 or less.

[0048]

Also, if an SiN<sub>x</sub> film or SiO<sub>x</sub>N<sub>y</sub> film is used, the improvement in the hot carrier resistance due to the nitrogen inclusion, improvement of the insulation reliability, and blocking effect to the impurity diffusion are obtained. Furthermore, the film stress can be controlled by appropriately selecting the composition ratio.

[0049]

Furthermore, if the gate insulating film is a SiN<sub>x</sub> film or SiO<sub>x</sub>N<sub>y</sub> film, the SiN<sub>x</sub> film or SiO<sub>x</sub>N<sub>y</sub> film may also be formed by directly nitriding the silicon substrate 1 in a nitrogen atmosphere such as an NH<sub>3</sub> atmosphere.

[0050]

Also, since the basic principle of the present invention is a combination of the β-SiC film 5, which ensures the insulation reliability, and the insulator film (4 in Figure 1) which is deposited to a thickness whereby insulating properties are not exhibited, it is not necessary for the dielectric film (4 in Figure 1) to be between the silicon substrate 1 and the β-SiC film 5. After the β-SiC film 5 is directly deposited on the silicon substrate 1, the SiO<sub>2</sub> film, SiN<sub>x</sub> film, or SiO<sub>x</sub>N<sub>y</sub> film may also be deposited by the CVD method.

[0051]

Furthermore, the dielectric film (4 in Figure 1) such as  $\text{SiO}_2$  may also be formed either above or below the  $\beta$ -SiC film 5. In this case, even if defects such as pinholes are generated in part of the dielectric film (4 in Figure 1) formed at one side along with the layer thinness, since the possibility that defects such as pinholes are generated at the corresponding part of the dielectric film formed at the other side is very low, a good-quality gate insulating film can be obtained overall, so that the manufacturing yield is improved.

[0052]

Also, as a method for forming the dielectric film, the  $\beta$ -SiC film 5 is directly deposited on the silicon substrate 1 and heat-treated at a temperature of  $800^\circ\text{C}$  or higher in an oxidizing atmosphere such as dry  $\text{O}_2$  atmosphere, wet  $\text{O}_2$  atmosphere, and vapor atmosphere, and the SiOC film is formed by oxidizing the surface of the  $\beta$ -SiC film 5. In this case, when the surface of the  $\beta$ -SiC film 5 is oxidized,  $\text{O}_2$  simultaneously advances into the interface between the silicon substrate 1 and the  $\beta$ -SiC film 5, and the oxidation of the surface of the silicon substrate 1 is also slowly advanced. Thus, the trap level, etc., at the interface is little affected, resulting in an improvement in the interface characteristics.

[0053]

Also, in the oxidizing atmospheres, the oxidation rate is slow in order of the above-mentioned dry  $\text{O}_2$  atmosphere, wet  $\text{O}_2$  atmosphere, and vapor atmosphere. Furthermore, if an  $\text{O}_3$  atmosphere is used instead of the aforementioned oxidizing atmospheres, low-temperature oxidation is possible.

[0054]

#### Effect of the invention

According to the present invention, since a dielectric film in which tunnel conduction prevails, and a  $\beta$ -SiC film that ensures the insulation reliability are used in combination as the gate insulating film of the floating gate transistor, a DRAM with a write and read time of about 10 ns, a charge retention time of about 1 s, and an appropriate refresh time can be formed

without a capacitor, thereby contributing significantly to the improvement in the integration level of semiconductor storage devices.

#### Brief description of the figures

Figure 1 is a cross section showing the floating gate transistor in an application example of the present invention.

Figure 2 is an illustrative diagram showing a circuit constitution of a capacitorless DRAM of an application example of the present invention.

Figure 3 is a cross section showing a conventional floating gate transistor.

#### Explanation of symbols

- |    |  |
|----|--|
| 1  | p-type silicon semiconductor substrate |
| 2  | Source                                 |
| 3  | Drain                                  |
| 4  | SiO <sub>2</sub> film                  |
| 5  | β-SiC film                             |
| 6  | Polysilicon floating gate              |
| 7  | SiO <sub>2</sub> film                  |
| 8  | Control gate                           |
| 9  | Source electrode                       |
| 10 | Drain electrode                        |



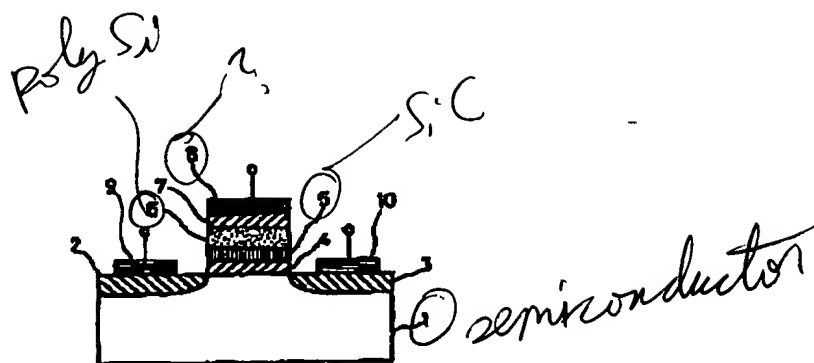


Figure 1. A cross section showing the floating gate transistor of an application example of the present invention

- Key:
- |    |  |
|----|--|
| 1  | p-type silicon semiconductor substrate |
| 2  | Source                                 |
| 3  | Drain                                  |
| 4  | SiO <sub>2</sub> film                  |
| 5  | <u>β-SiC film</u>                      |
| 6  | <u>Polysilicon floating gate</u>       |
| 7  | SiO <sub>2</sub> film                  |
| 8  | Control gate                           |
| 9  | Source electrode                       |
| 10 | Drain electrode                        |

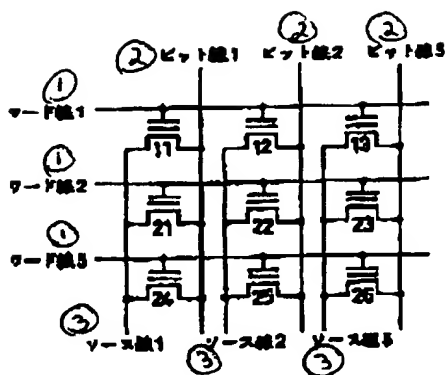


Figure 2. An illustrative diagram showing a circuit constitution of a capacitorless DRAM of an application example of the present invention

Key: 1 Bit line  
2 Word line  
3 Source line

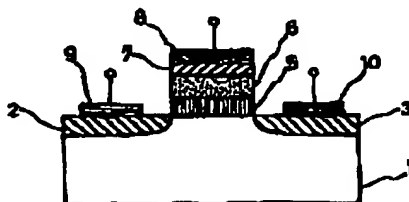


Figure 3. A cross section showing a conventional floating gate transistor

- Key:
- |    |  |
|----|--|
| 1  | p-type silicon semiconductor substrate |
| 2  | Source                                 |
| 3  | Drain                                  |
| 5  | $\beta$ -SiC film                      |
| 6  | Polysilicon floating gate              |
| 7  | SiO <sub>2</sub> film                  |
| 8  | Control gate                           |
| 9  | Source electrode                       |
| 10 | Drain electrode                        |